

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-309218

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

G06F 12/00

G06F 9/46

(21)Application number : 05-117622

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.04.1993

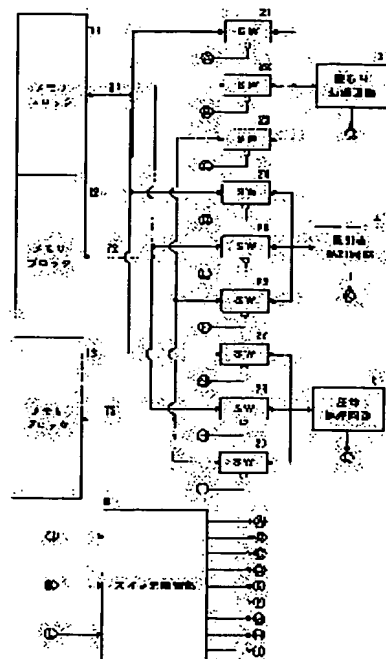
(72)Inventor : SAKAMOTO HIROSHI

## (54) DATA BUFFER CONTROL SYSTEM

## (57)Abstract:

**PURPOSE:** To provide the data buffer control system which enables high-speed processes when plural tasks are executed by using a shared memory.

**CONSTITUTION:** The data buffer control system which executes plural tasks regarding the data processes in parallel is provided with plural task buses 71-73 which couple all of task processing circuits 3-5 performing different data processes with plural buffer memories respectively through switches 21-29 between the task processing circuits 3-5 and buffer memories 11-13, and the task processing circuits 3-5 are connected to the different buffer memories at the same time and the switches 21-29 are so switched as to change the buffer memories to which the task processing circuits are connected in order each time all the processes of the task processing circuits end. The respective task processing circuits are connected to the individual buffer memories one to one at respective points of time and perform the processes in parallel.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-309218

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 7 0	9366-5B		
9/46	3 4 0 F	8120-5B		

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21)出願番号 特願平5-117622

(22)出願日 平成5年(1993)4月22日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 坂本 裕志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

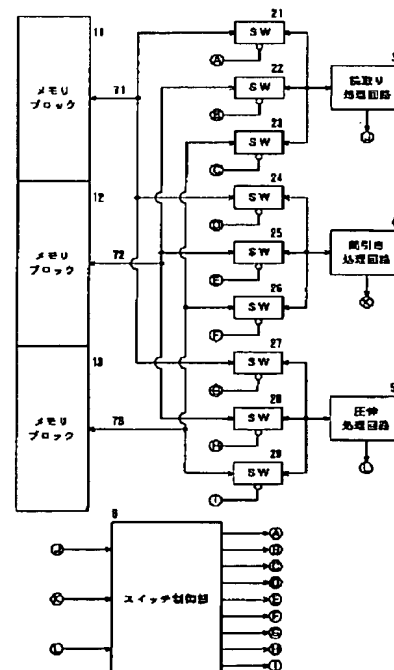
(74)代理人 弁理士 役 昌明 (外1名)

(54)【発明の名称】 データ・バッファ制御方式

(57)【要約】

【目的】 共有メモリを使って複数のタスクを実行する場合の高速処理を可能にするデータ・バッファ制御方式を提供する。

【構成】 データ処理に関する複数のタスクを並列して実行するためのデータ・バッファ制御方式において、異なるデータ処理を行なう複数のタスク処理回路3、4、5と複数のバッファ・メモリ11、12、13との間に、このバッファ・メモリの各々に対して複数のタスク処理回路の全てを、それぞれスイッチ21～29を介して、結合する複数のタスク・バス71～73を設け、タスク処理回路3～5の各々が同時に異なるバッファ・メモリに接続し、タスク処理回路の全ての処理が終了する毎に、このタスク処理回路の接続するバッファ・メモリを順次変更するように各スイッチ21～29の切換えを制御する。各タスク処理回路は、各時刻において、1対1で個々のバッファ・メモリと接続し、並列して処理を実行することができる。



## 【特許請求の範囲】

【請求項1】 データ処理に関する複数のタスクを並列して実行するためのデータ・バッファ制御方式において、

異なるデータ処理を行なう複数のタスク処理回路と複数のバッファ・メモリとの間に、前記バッファ・メモリの各々に対して前記複数のタスク処理回路の全てを、それぞれスイッチを介して結合する複数のタスク・バスを設け、

前記タスク処理回路の各々が同時刻に異なる前記バッファ・メモリに接続し、前記タスク処理回路の全ての処理が終了する毎に、前記タスク処理回路の接続する前記バッファ・メモリを順次変更するように前記各スイッチの切換えを制御することを特徴とするデータ・バッファ制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子ファイリング・システムやパーソナル・コンピュータ等のデータ処理に用いるデータ・バッファ制御方式に関し、特に、データ処理の高速化を実現するものである。

## 【0002】

【従来の技術】電子ファイリング・システム等のデータ処理装置では、写真やテキスト等の原稿を画像入力装置によって読み取り、読み取った画像データを間引き処理回路で間引いてCRT等の表示装置に表示し、同時に、読み取った画像データを圧縮処理によりデータ量を減らしてハードディスク装置や光磁気ディスク装置等の外部記憶装置に送り、そこで圧縮データを記録させている。

【0003】この電子ファイリング・システムでは、ファイリングという性格上、如何に少ない時間で多大な数の原稿を処理できるかがポイントになる。通常、高速タイプの電子ファイリング・システムでは、A4原稿で40枚/分以上の処理能力が要求される。

【0004】この電子ファイリング・システムでは、図4に示すように、画像入力装置で読み取られたデータが、読取り処理回路3から共通バス7を経由して、ファイリング装置の任意のイメージ・メモリ・ブロック11、12、13に転送される。

【0005】読み込まれたデータは、通常、200DPI (Dot Per Inch) から400DPI程度の解像度を有している。例えば、A4サイズの原稿を400DPIの画像入力装置で読み取った場合のデータ量は約2MB (メガバイト) である。一方、CRT等の表示装置の解像度は、75DPIから150DPI程度であり、画像入力装置と比較すると遥かに劣っている。そのため画像入力装置で読取った画像データをそのまま使用すると、原稿の一部しか表示できないことになる。そのため、間引き処理回路4により、通常、単純間引きという手段を用いて表示用の表示データを作成する。

【0006】また、A4原稿1枚当たり約2MBのデータ量を有する画像データを、例えば100MBのハードディスク装置に記憶すると、約50枚程度の原稿分を記憶するだけでオーバーフローしてしまう。先に間引きしたデータ (例えば、2分の1に間引きした場合、データ量は4分の1になる) を用いると4倍記憶できるが、間引きされたデータは元の画像データと比べて4分の1の情報量に減っているため、記憶した後、再度読み出してプリンター等に出力したときには、元の原稿に比べて画質が極端に劣化することになり、原画に対して忠実な再現ができず電子ファイリング・システムとしての機能が危ぶまれる。

【0007】このため画像データの圧縮に関しては、ファックスなどで用いられているCCITT勧告のMH、MR、M<sup>2</sup>Rなどの技術が適用される。これらの技術は、水平方向、或いは水平・垂直方向のデータと参照用のコードを基準に圧縮する。

【0008】圧縮されたデータは、間引きデータとは異なり、圧縮に対する伸長を行なわないと元の画像を見ることはできない。この圧縮伸長処理は、圧伸処理回路5で行なわれる。

【0009】これら3つの処理は、全て共通バス7を介して行なわれるため、図5に示すように、一つの処理が終了すると、次の処理に移行する、というシリアル処理になる。

## 【0010】

【発明が解決しようとする課題】このように、従来の電子ファイリング・システムでは、表示装置に対して専用の間引きデータを供給し、外部記憶装置には、間引きデータとは異なる圧縮データを供給する必要があるため、読み込んだ読取りデータを2つの異なるフォーマットに展開しなければならない。

【0011】これらの処理を実行するためには、読取りデータの保存されたイメージ・メモリに1つ以上のCPUがアクセスすることになるが、同時に複数のアクセスはできないため、優先順位を決めてシリアル処理を行ったり、または、時分割でバスの使用を制御する疑似並列処理を行なっているが、いずれにしても処理時間が多く掛かるという欠点を有している。

【0012】また、電子ファイリング・システムでは、読み取り速度の一層の高速化が求められているが、こうした要求に応じていくためには、読取り処理、間引き処理および圧縮処理の一層の効率的な並列処理が必要になってくる。

【0013】本発明は、こうした従来の問題点を解決すると共に新たな要求に応えるものであり、共有メモリを使って複数のタスクを実行する場合の高速処理を可能にするデータ・バッファ制御方式を提供することを目的としている。

## 【0014】

【課題を解決するための手段】そこで、本発明では、データ処理に関する複数のタスクを並列して実行するためのデータ・バッファ制御方式において、異なるデータ処理を行なう複数のタスク処理回路と複数のバッファ・メモリとの間に、このバッファ・メモリの各々に対して複数のタスク処理回路の全てを、それぞれスイッチを介して結合する複数のタスク・バスを設け、タスク処理回路の各々が同時刻に異なるバッファ・メモリに接続し、タスク処理回路の全ての処理が終了する毎に、このタスク処理回路の接続するバッファ・メモリを順次変更するように各スイッチの切換えを制御している。

【0015】

【作用】そのため、各タスク処理回路は、各時刻において、1対1で個々のバッファ・メモリと接続し、並列して処理を実行することができる。

【0016】

【実施例】本発明のデータ・バッファ制御方式を適用した電子ファイリング・システムの回路ブロックを図1に示している。

【0017】この回路では、主記憶素子のメモリ・ブロック11、12、13と、読取り処理回路3、間引き処理回路4および圧伸処理回路5との間を接続する各バス71、72、73の途中に、3個のスイッチ（21、24、27または22、25、28または23、26、29）の組合せとして表わされる双方向のスリー・ステート・バッファを配置し、また、各処理回路3、4、5の実行中を示すビジー信号J、K、Lに応じて各スイッチ21～29のオン／オフを制御する信号A～Iを出力するスイッチ制御部6を置いている。

【0018】メモリ・ブロック11、12、13は、通常、連続したメモリを分割して構成され、種々のデータ処理を行なう上で最大のメモリを必要とする処理に合わせてブロックのメモリ容量を設定している。

【0019】この電子ファイリング・システムでは、先ず、イメージ・スキャナ等の画像入力装置により画像や写真または文章を読み込む。この時の処理を、図2に示すように、処理内容の一番目として「処理1」と表現することにする。スイッチ制御部6により双方向のスリー・ステート・バッファの制御信号A、E、Iがアサートされ、双方向のスリー・ステート・バッファ21（スイッチ21）、同25（スイッチ25）、同29（スイッチ29）がイネーブル状態になる。他のスリー・ステート・バッファは、ディスエーブルされたままでハイ・インピーダンス（Hi-Z）状態にある。

【0020】これにより読取り処理回路3は、スイッチ21を通じてメモリ・ブロック11にバス71で接続される。同様に、間引き処理回路4は、スイッチ25を通じてメモリ・ブロック12に、また、圧伸処理回路5は、スイッチ29を通じてメモリ・ブロック13と接続される。

【0021】一枚目の原稿の読取りデータがメモリ・ブ

ロック11に転送され始めると、バス71が使用中であることを示すビジー信号Jがアサートされる。間引き処理回路4および圧伸処理回路5では、まだ処理すべきデータがないため、処理1においては何も実行しない。そのため、それぞれのビジー信号K、Lはネゲートされている。

【0022】一枚目の原稿の読取りデータがメモリ・ブロック11に転送されると、ビジー信号Jがネゲートされる。ここでスイッチ制御部6は、3つのビジー信号の全てがネゲートされたのを知り、「処理2」の状態にスイッチを制御する。即ち、図2に示すように、双方向のスリー・ステート・バッファ（スイッチ22、26、27）がイネーブルになるようにスイッチ制御信号B、F、Gをアサートする。

【0023】これによりメモリ・ブロック11は圧伸処理回路5に、メモリ・ブロック12は読取り処理回路3に、そして、メモリ・ブロック13は間引き処理回路4に接続されることになる。

【0024】ここで圧伸処理回路5は、ビジー信号Lをアサートし、処理1で読み込まれた一枚目の原稿の読取りデータを用いて圧縮処理を行なう。また、並行して読取り処理回路3は、ビジー信号Jをアサートして二枚目の原稿の読取りデータをメモリ・ブロック12に転送する。間引き処理回路4は、まだ処理すべきデータがないので何も行なわない。即ち、ビジー信号Kはネゲートされたままである。

【0025】圧縮処理が終了した後、読取り処理が終了すると、全てのビジー信号がネゲートされ、処理2が終了したことをスイッチ制御部6は知る。そこで、スイッチ制御信号を切り替えて次の「処理3」に移行するために、スイッチ制御信号C、D、Hをアサートし、双方向のスリー・ステート・バッファ（スイッチ23、24、28）をイネーブル状態にする。

【0026】これにより間引き処理回路4は、メモリ・ブロック11に接続され、ビジー信号Kをアサートし一枚目の原稿の読取りデータの間引き処理を行なう。また、圧伸処理回路5は、メモリ・ブロック12に接続され、ビジー信号Lをアサートし二枚目の原稿の読取りデータの圧縮処理を行なう。同様に、読取り処理回路3は、メモリ・ブロック13に接続され、ビジー信号をアサートし三枚目の原稿の読取りデータを転送する。これらの処理は、すべて並列に動作される。

【0027】3つの並列処理が終了すると、全てのビジー信号K、L、Jがネゲートされ、「処理3」が終了したことをスイッチ制御部6は知り、「処理4」に移るべくスイッチ制御信号を切り換える。

【0028】以後、「処理5」「処理6」と続き、読取り原稿をn枚とすると処理n+2まで続くことになる。これら一連のタイムチャートを図3に示す。

【0029】

【発明の効果】以上の実施例の説明から明らかなように、本発明のデータ・バッファ制御方式では、必要な処理分のメモリ・ブロックを設けると共に、メモリ・ブロックと処理回路との間に双方向スリー・ステート・バッファを設けることにより、最適な複数の並列バスを構成することができ、高速な並列処理が可能となる。

【図面の簡単な説明】

【図1】本発明のデータ・バッファ制御方式を適用した実施例におけるブロック図、

【図2】実施例におけるメモリ処理内容の順序を示す図、

【図3】実施例におけるスイッチ切換えの一連のタイミングを示すチャート、

【図4】従来の電子ファイリング・システムを示すブロック図、

【図5】従来のシステムにおけるメモリ処理内容の順序を示す図である。

【符号の説明】

A～I スイッチ制御信号

J 読取り処理回路の実行中を示すビジー信号

K 間引き処理回路の実行中を示すビジー信号

L 圧伸処理回路の実行中を示すビジー信号

11～13 メモリ・ブロック

21～29 スイッチ

3 読取り処理回路

4 間引き処理回路

5 圧伸処理回路

6 スイッチ制御部

7、71～73 バス

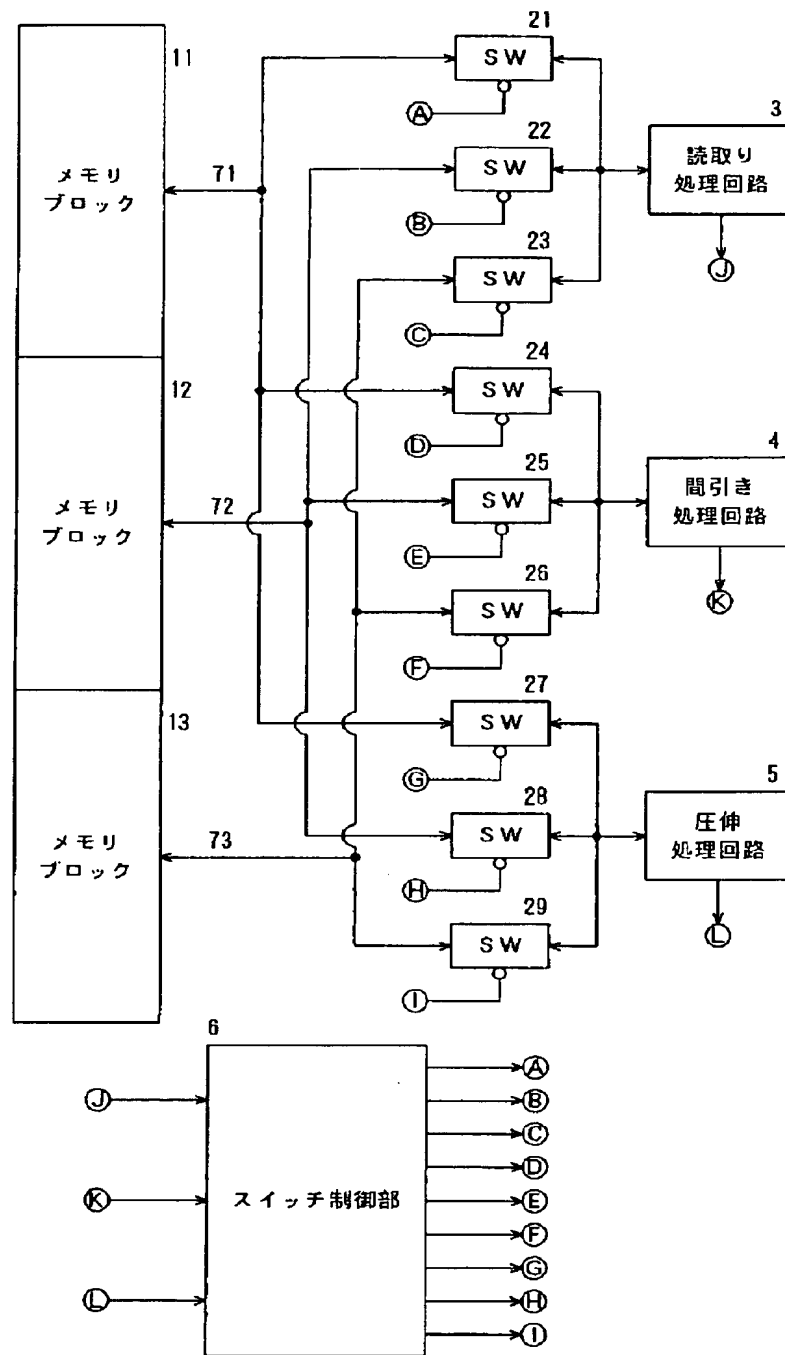
【図2】

		処理 1	処理 2	処理 3	処理 4		
読取り 処理回路	(A)	ON	OFF	OFF	ON		
	(B)	OFF	ON	OFF	OFF		
	(C)	OFF	OFF	ON	OFF		
間引き 処理回路	(D)	OFF	OFF	ON	OFF		
	(E)	ON	OFF	OFF	ON		
	(F)	OFF	ON	OFF	OFF		
圧伸 処理回路	(G)	OFF	ON	OFF	OFF		
	(H)	OFF	OFF	ON	OFF		
	(I)	ON	OFF	OFF	ON		

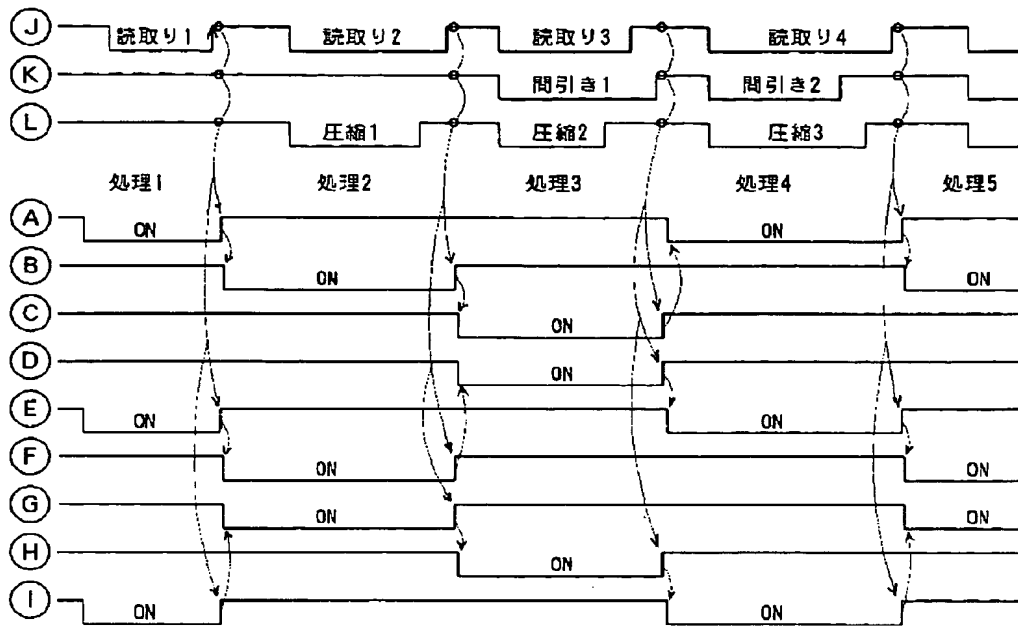
  

	処理 1	処理 2	処理 3	処理 4	処理 5	
メモリ ブロック 11	読取り 1	圧伸 1	間引き 1	読取り 4	圧伸 4	
メモリ ブロック 12		読取り 2	圧伸 2	間引き 2	読取り 5	
メモリ ブロック 13			読取り 3	圧伸 3	間引き 3	

【図1】



【図3】



【図5】

	処理 1	処理 2	処理 3	処理 4	処理 5	
メモリ ブロック	11 12 13	読取り 1	圧伸 1	間引き 1	読取り 2	圧伸 2

【図4】

